

MENU

SEARCH

INDEX

DETAIL

JAPANESE

**LEGAL
STATUS**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-275437

(43)Date of publication of
application : 22.10.1993

(51)Int.Cl. H01L 21/331
H01L 29/73

(21)Application number : 04-066125 (71) FUJITSU LTD
Applicant :

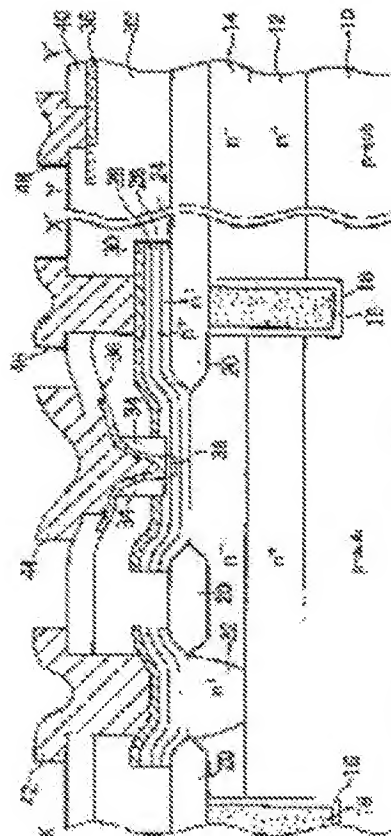
(22)Date of filing : 24.03.1992 (72)Inventor : KURITA KAZUYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To increase the operating speed of a bipolar transistor which operates at a superhigh speed by making the base of the transistor shallower, suppressing the occurrence of a Kirk effect, and reducing the resistance of each section and capacitance of the transistor.

CONSTITUTION: A first conductivity type high-concentration collector layer 24, second conductivity type high-concentration base layer 26, non-doped semiconductor layer 28, and high-melting point metal silicide layer 30 are successively formed on a first conductivity type low-concentration collector layer 14 formed on a semiconductor substrate 10. Then an insulating layer 32 is formed on the metal silicide layer 30 and an opening reaching the semiconductor layer 28 is formed through the silicide layer 30 and insulating layer 32. Thereafter, a first conductivity type emitter layer 38 is formed by diffusing impurities into the base layer 26 through the opening.



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-275437

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.

H 0 1 L 21/331
29/73

識別記号

片内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数6(全 9 頁)

(21)出願番号 特願平4-66125

(22)出願日 平成4年(1992)3月24日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 栗田 和行

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁護士 北野 好人

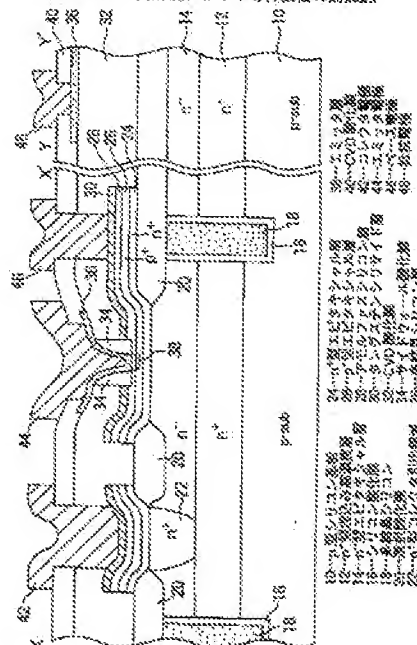
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】本発明は、超高速動作するバイポーラトランジスタに関し、ベースのシャロー化、カーク効果の抑制、各部の抵抗や容量の低減を実現して動作速度の高速化を実現できるバイポーラトランジスタを提供することを目的とする。

【構成】半導体基板10上に形成された第1導電型低濃度コレクタ層14上に第1導電型高濃度コレクタ層24、第2導電型高濃度ベース層26、ノンドープ半導体層28、高融点金属シリサイド層30が積層されている。高融点金属シリサイド層30上には絶縁層32が形成され、高融点金属シリサイド層30と絶縁層32にノンドープ半導体層28に設ける開口部が形成され、開口部を介して第2導電型高濃度ベース層26内に不純物を拡散して第1導電型エミッタ層38が形成されている。

本発明の一実施例による半導体装置の断面図



【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上に形成された第1導電型低濃度コレクタ層と、

前記第1導電型低濃度コレクタ層上に形成された第1導電型高濃度コレクタ層と、

前記第1導電型高濃度コレクタ層上に形成された第2導電型高濃度ベース層と、

前記第2導電型高濃度ベース層上に形成され、開口部が形成された絶縁層と、

前記絶縁層の開口部から前記第2導電型高濃度ベース層内に第1導電型の不純物を拡散して形成された第1導電型エミッタ層とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、

前記第2導電型高濃度ベース層上に形成され、高融点金属又は高融点金属シリサイドからなるベース引出電極層を更に有することを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、

前記絶縁層の開口部を介して前記第2導電型高濃度ベース層にコンタクトし、第1導電型の不純物を拡散するための多結晶シリコン層を更に有し、
前記多結晶シリコン層を他の領域で抵抗素子層として用いることを特徴とする半導体装置。

【請求項4】 シリコン基板上に第1導電型低濃度コレクタ層をエピタキシャル成長する第1の工程と、

前記第1導電型低濃度コレクタ層上に第1導電型高濃度コレクタ層と第2導電型高濃度ベース層を順々にエピタキシャル成長する第2の工程と、

前記第2導電型高濃度ベース層上に絶縁層を形成する第3の工程と、

エミッタ形成領域の前記絶縁層をエッチング除去して、前記第2導電型高濃度ベースとコンタクトするための開口部を形成する第4の工程と、

前記開口部を介して前記第2導電型高濃度ベース層にコンタクトする多結晶シリコン層を形成する第5の工程と、

前記多結晶シリコン層から前記第2導電型高濃度ベース層内に不純物を拡散して第1導電型エミッタ層を形成する第6の工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

前記第2の工程の後、前記第3の工程の前に、前記第2導電型高濃度ベース層上に高融点金属又は高融点金属シリサイドからなるベース引出電極層を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4又は5記載の半導体装置の製造方法において、

前記第2の工程で、前記第2導電型高濃度ベース層上に

不純物が添加されていないノンドープ半導体層を更に積層し、

前記第4の工程で、前記第2導電型高濃度ベース層に達することなく前記ノンドープ半導体層の途中の深さまで前記開口部を形成し、

前記第5の工程で、前記開口部を介して前記ノンドープ半導体層にコンタクトする多結晶シリコン層を形成し、

前記第6の工程で、前記多結晶シリコン層から前記ノンドープ半導体層を介して前記第2導電型高濃度ベース層内に不純物を拡散することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置、特に超高速動作するバイポーラトランジスタ及びその製造方法に関する。近年の情報化社会の発達に伴い、汎用大型コンピュータ、スーパーコンピュータ、EWS、LSIテスト等の分野で超高速デバイスへの要求が益々強くなっている。これらの分野は、低消費電力、高速動作、大規模集積回路であるCMOSデバイスが求められる分野とは異なり、高消費電力、超高速動作、中規模集積回路であるバイポーラトランジスタ集積回路が求められている。しかしながら、近年のバイポーラトランジスタ集積回路は、高消費電力の割りにはデバイスの高速化が頭打ちの状況にあり、更なる高速動作可能なバイポーラトランジスタの製造技術の確立が望まれている。

【0002】

【従来の技術】バイポーラトランジスタ集積回路をセルフアラインにより製造する製造技術として、ESPER (Emitter based Selfaligned Structure with Polysilicon Electrode and Resistor) プロセス等が提案され、バイポーラトランジスタの高速化に向けて研究開発が精力的に行われている。

【0003】従来の製造技術によるセルフアライン型バイポーラトランジスタの高速化に向けての懸念事項としては次のようなものがある。第1にはベースのシャロー化である。バイポーラトランジスタを高速化するにはベースを狭くする必要があるが、従来の製造方法では不純物をイオン注入することによりベース層を形成していたため、イオン注入エネルギーを約10keVと限界まで低くしてもベース層が200～300nmもの厚さになってしまう。しかもその後の熱処理工程により不純物が拡散してベース層が更に厚くなり、ベース層を十分薄くすることが困難であった。

【0004】第2にはカーク (Kirk) 効果の抑制である。一般にバイポーラトランジスタのエミッタ電流を増やしていくと、比例して遮断周波数も高くなっていくが、電流が大きくなるとベースの押し出し効果によりベース幅が実効的に広がってしまい遮断周波数が低くなっていく。これをカーク効果といい、バイポーラトラン

ジスタの高速化に対する障害になっており、このカーク効果を抑制することが望まれている。

【0005】第3には内部ベース、外部ベース、引き出しベースのシーす抵抗の低減、ジャンクション容量の低減、コンタクト抵抗の低減である。一般にバイポーラトランジスタの動作速度は、トランジスタ内部の抵抗による遅延時間とキャパシタの充放電時間に依存している。したがって、これら抵抗や容量を低減してトランジスタの動作速度を向上させることが望まれている。

【0006】

【発明が解決しようとする課題】このように、バイポーラトランジスタを高速化するためには、ベースのシャロー化、カーク効果の抑制、各部の抵抗や容量の低減が望まれているにもかかわらず、従来の技術ではいまだ十分ではなく、バイポーラトランジスタの高速化が頭打ちの状況にあった。

【0007】本発明の目的は、ベースのシャロー化、カーク効果の抑制、各部の抵抗や容量の低減を実現して動作速度の高速化を実現できる半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、半導体基板と、前記半導体基板上に形成された第1導電型低濃度コレクタ層と、前記第1導電型低濃度コレクタ層上に形成された第1導電型高濃度コレクタ層と、前記第1導電型高濃度コレクタ層上に形成された第2導電型高濃度ベース層と、前記第2導電型高濃度ベース層上に形成され、開口部が形成された絶縁層と、前記絶縁層の開口部から前記第2導電型高濃度ベース層内に第1導電型の不純物を拡散して形成された第1導電型エミッタ層とを有することを特徴とする半導体装置によって達成される。

【0009】上記目的は、シリコン基板上に第1導電型低濃度コレクタ層をエピタキシャル成長する第1の工程と、前記第1導電型低濃度コレクタ層上に第1導電型高濃度コレクタ層と第2導電型高濃度ベース層を順々にエピタキシャル成長する第2の工程と、前記第2導電型高濃度ベース層上に絶縁層を形成する第3の工程と、エミッタ形成領域の前記絶縁層をエッチング除去して、前記第2導電型高濃度ベースとコンタクトするための開口部を形成する第4の工程と、前記開口部を介して前記第2導電型高濃度ベース層にコンタクトする多結晶シリコン層を形成する第5の工程と、前記多結晶シリコン層から前記第2導電型高濃度ベース層内に不純物を拡散して第1導電型エミッタ層を形成する第6の工程とを有することを特徴とする半導体装置の製造方法によって達成される。

【0010】

【作用】本発明によれば、エピタキシャル成長により第2導電型高濃度ベース層を形成しているため、イオン注入により形成する場合に比べてベース層を薄く形成する

ことができ、ベースのシャロー化を実現できる。また、本発明によれば、第1導電型低濃度コレクタ層と第1導電型高濃度コレクタ層と第2導電型高濃度ベース層と第1導電型エミッタ層という素子構造によりベース層に高濃度コレクタ層が接合されているので、エミッタ電流の増大によるベースの押し出し効果を低減させてカーク効果を抑制することができる。

【0011】

【実施例】本発明の一実施例による半導体装置を図1及び図2を用いて説明する。図2は半導体装置の平面図であり、図1は半導体装置のX-X'線及びY-Y'線断面図である。p型シリコン基板10上にエピタキシャル成長されたn+型埋込み高濃度層12が設けられ、n+型埋込みエピタキシャル層12上にエピタキシャル成長されたn-型エピタキシャル層14が設けられている。

【0012】n+型埋込みエピタキシャル層12とn-型エピタキシャル層14は、シリコン酸化膜16内に多結晶シリコン18が埋込まれたU溝によりトランジスタ素子領域を分離している。トランジスタ素子領域内では、n+型埋込みエピタキシャル層12が埋込みコレクタ層となり、n-型エピタキシャル層14が低濃度コレクタ層となる。

【0013】トランジスタ素子領域内はLOCOS法による選択酸化膜20によりベースエミッタ領域とコレクタ引出領域が画定されている。コレクタ引出領域ではn-型エピタキシャル層14内にn+型埋込みエピタキシャル層12に連続するn+型コレクタ引出領域22が形成されている。トランジスタ素子領域内のn-型エピタキシャル層14上には、不純物濃度が $2 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ で約100nm厚のn+型エピタキシャル層24、不純物濃度が $1 \text{ E } 18 \sim 1 \text{ E } 19 \text{ cm}^{-3}$ で約70nm厚のp+型エピタキシャル層26、約50nm厚のノンドープのアモルファスシリコン層28が積層されている。n+型エピタキシャル層24が高濃度コレクタ層となり、p+型エピタキシャル層26がベース層となる。

【0014】このアモルファスシリコン層28上にはスパッタ法又はCVD法による約100nm厚のタングステン又はタングステンシリサイド層30が形成されている。更に全面に約150nm厚のCVD酸化膜32が形成されている。ベースエミッタ領域内の所定領域のCVD酸化膜32、タングステンシリサイド層30、アモルファスシリコン層28がエッチング除去され開口部が形成されている。この開口部はアモルファスシリコン層28の途中の深さまで形成されている。開口部の側壁にはサイドウォール酸化膜34が形成され、タングステンシリサイド層30の側面を覆っている。

【0015】開口部内にはアモルファスシリコン層28とサイドウォール酸化膜34上に不純物濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の多結晶シリコン層36が形成さ

れている。この多結晶シリコン層36からベース層であるp+型エピタキシャル層26に熱拡散により不純物が拡散されてエミッタ層38が形成されている。なお、トランジスタ素子領域以外の領域において多結晶シリコン層36を形成することにより、抵抗素子を同時に形成できる。

【0016】CVD酸化膜32及び多結晶シリコン層36上にはCVD酸化膜40が形成されている。CVD酸化膜40のコレクタ引出領域、ベースエミッタ領域、ベース引出領域には開口部が形成されている。コレクタ引出領域には開口部を介してタンゲステンシリサイド層30にコンタクトするコレクタ電極42が形成され、ベースエミッタ領域には開口部を介して多結晶シリコン層36にコンタクトするエミッタ電極44が形成され、ベース引出領域には開口部を介してタンゲステンシリサイド層30にコンタクトするベース電極46が形成されている。

【0017】なお、多結晶シリコン層36による抵抗素子にも必要に応じてCVD酸化膜40に開口部が形成され、この開口部を介して多結晶シリコン層36にコンタクトする抵抗電極48が形成されている。このように本実施例によれば、エピタキシャル層をベース層としているので、薄いベース層を形成することができ、ベースのシャロー化を実現できる。

【0018】また、本実施例によれば、低濃度コレクタ層と高濃度コレクタ層と高濃度ベース層とエミッタ層によりn-n+-p+-n+という素子構造になり、ベース層に高濃度コレクタ層が接合されているので、ベース層の押し出し効果を低減させてカーク効果を抑制することができる。さらに、本実施例によれば、ベース引出電極としてベース層上に抵抗の低いタンゲステン又はタンゲステンシリサイド層を積層したのでベース引出抵抗を低減することができる。

【0019】次に、本発明の一実施例による半導体装置の製造方法を図3乃至図7を用いて説明する。まず、p型シリコン基板10上にn+型埋込み高濃度層12、n-型エピタキシャル層14をエピタキシャル成長する。続いて、n-型エピタキシャル層14上にCVD法によりシリコン窒化膜（図示せず）を形成する。続いて、全面にレジスト層（図示せず）を塗布し、U溝形成領域が開口するようにパターニングする。パターニングされたレジスト層をマスクとしてシリコン窒化膜、n-型エピタキシャル層14、n+型埋込み高濃度層12をエッチングしてp型シリコン基板10上に達するU溝を形成する。続いて、U溝内壁を酸化してシリコン酸化膜16を形成し、U溝内に多結晶シリコン18を埋め込む。続いて、トランジスタ素子領域内のベースエミッタ領域とコレクタ引出領域以外のシリコン窒化膜を除去し、LOCOS法により選択酸化膜20を形成する。続いて、シリコン窒化膜を除去し、コレクタ引出領域から不純物をイ

オン注入してn+型埋込みエピタキシャル層12に連続するn+型コレクタ引出領域22を形成する（図3）。

【0020】次に、低温エピタキシー装置（基本圧力：1E9 Torr、エピタキシャル成長温度：800℃、 $Si_2H_6 = 200 \text{ sccm}$ 、 $H_2 = 101 \text{ sccm}$ 、1 Torr）により、n-型エピタキシャル層14上に、不純物濃度が $2 \times 10^{16} \sim 1 \times 10^{17} \text{ m}^{-3}$ で約100nm厚のn+型エピタキシャル層24と、不純物濃度が $1E18 \sim 1E19 \text{ cm}^{-3}$ で約70nm厚のp+型エピタキシャル層26を順次エピタキシャル成長し、p+型エピタキシャル層26上に、 $Si_2H_6 = 50 \text{ sccm}$ 、0.5 Torrの条件で約50nm厚のノンドープのアモルファスシリコン層28を成長する。続いて、アモルファスシリコン層28上にスバグ法又はCVD法により約100nm厚のタンゲステン又はタンゲステンシリサイド層30を堆積する（図4）。

【0021】次に、全面に約150nm厚のCVD酸化膜32を形成し、ベースエミッタ領域内の所定領域のCVD酸化膜32、タンゲステンシリサイド層30、アモルファスシリコン層28をエッチング除去して約0.8μm幅の開口部50を形成する。開口部50を形成する際のエッチングの停止制御としては、アモルファスシリコン層28中で停止するように制御すればよい。続いて、全面に約150nm厚のシリコン酸化膜（図示せず）を形成し、RIEにより全面を異方性エッチングして、開口部50の側壁にサイドウォール酸化膜34を形成し、タンゲステンシリサイド層30の側面を覆って絶縁する（図5）。これにより開口部50内に約0.2μm幅のエミッタ窓が形成されることになる。

【0022】次に、全面に約100nm厚の多結晶シリコン層36を成長し、トランジスタ素子領域内のベースエミッタ領域とトランジスタ素子領域外の抵抗素子領域に残存させるようにパターニングする。続いて、ベースエミッタ領域上の多結晶シリコン層36にドーパ量 $1E16 \text{ cm}^{-2}$ のAsをイオン注入する。続いて、抵抗素子領域の多結晶シリコン層36に必要に応じてp型又はn型の不純物をイオン注入する。続いて、約1000℃で約30分間の熱処理を行ない、トランジスタ素子領域内のベースエミッタ領域の多結晶シリコン層36からp+型エピタキシャル層26内に不純物を拡散してエミッタ層38を形成すると共に、抵抗素子領域の多結晶シリコン層26を活性化する（図6）。

【0023】次に、全面にCVD法によりCVD酸化膜40を堆積する。続いて、CVD酸化膜40上にレジスト層（図示せず）を形成し、コレクタ引出領域に、ベースエミッタ領域、ベース引出領域、抵抗素子領域が開口するようにパターニングする。続いて、パターニングされたレジスト層をマスクとしてCVD酸化膜40、32をエッチングすることにより、コレクタ引出領域にタンゲステンシリサイド層30に達する開口部52と、ベー

スエミッタ領域に多結晶シリコン層36に達する開口部54と、ベース引出領域にタングステンシリサイド層30に達する開口部56と、抵抗素子領域に多結晶シリコン層36に達する開口部58とを形成する(図7)。

【0024】次に、スパッタ法により全面にアルミニウム電極層を堆積した後にパターニングして、コレクタ引出領域において開口部52を介してタングステンシリサイド層30にコンタクトするコレクタ電極42を形成し、ベースエミッタ領域において開口部54を介して多結晶シリコン層36にコンタクトするエミッタ電極44を形成し、ベース引出領域において開口部56を介してタングステンシリサイド層30にコンタクトするベース電極46を形成し、抵抗素子領域において開口部58を介して多結晶シリコン層36にコンタクトする抵抗電極48を形成して、半導体装置を完成する(図1)。

【0025】このように本実施例によれば、ベース層としてのp+型エピタキシャル層上にノンドープのアモルファスシリコン層を形成したので、エミッタドライブのための開口部を形成する際に、アモルファスシリコン層中であればどこでエッチングを停止させても、その後のエミッタドライブにより形成されるエミッタ領域及びベース領域の厚さが変化しないので、エッチング停止制御を厳格に行うことなく、特性のばらつきの少ない半導体装置を製造することができる。

【0026】本発明は上記実施例に限らず種々の変形が可能である。例えば、上記実施例ではベース引出電極としてタングステン又はタングステンシリサイドを用いたが、チタン、タングステン等の高融点金属又は高融点金属シリサイドを用いてもよい。

【0027】

【発明の効果】以上の通り、本発明によれば、エピタキシャル成長により第2導電型高濃度ベース層を形成しているため、イオン注入により形成する場合に比べてベース層を薄く形成することができ、ベースのシャロー化を実現できる。また、第1導電型低濃度コレクタ層と第1導電型高濃度コレクタ層と第2導電型高濃度ベース層と第1導電型エミッタ層という素子構造によりベース層に高濃度コレクタ層が接合されているので、エミッタ電流の増大によるベースの押し出し効果を低減させてワーク

効果を抑制することができる。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体装置の断面図である。

【図2】本発明の一実施例による半導体装置の平面図である。

【図3】本発明の一実施例による半導体装置の製造方法の工程図(その1)である。

【図4】本発明の一実施例による半導体装置の製造方法の工程図(その2)である。

【図5】本発明の一実施例による半導体装置の製造方法の工程図(その3)である。

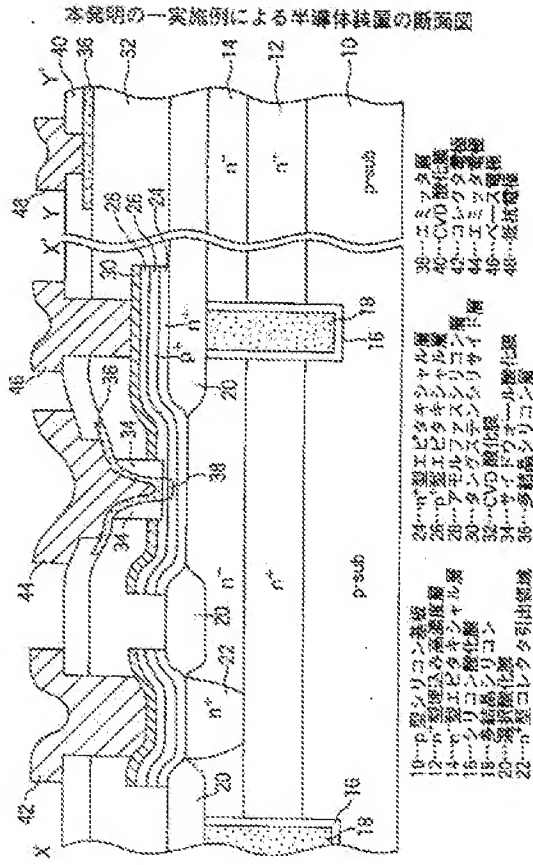
【図6】本発明の一実施例による半導体装置の製造方法の工程図(その4)である。

【図7】本発明の一実施例による半導体装置の製造方法の工程図(その5)である。

【符号の説明】

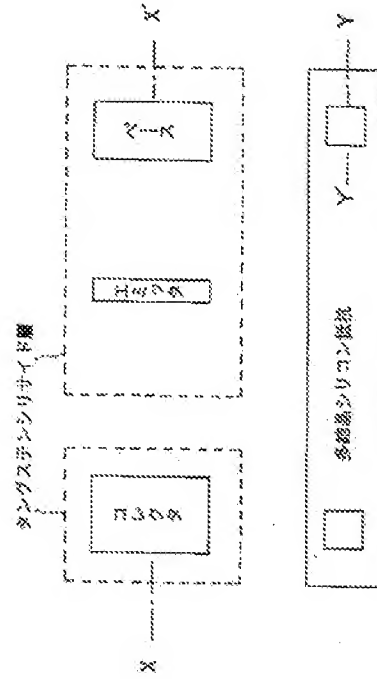
- 10…p型シリコン基板
- 12…n+型埋込み高濃度層
- 14…n-型エピタキシャル層
- 16…シリコン酸化膜
- 18…多結晶シリコン
- 20…選択酸化膜
- 22…n+型コレクタ引出領域
- 24…n+型エピタキシャル層
- 26…p+型エピタキシャル層
- 28…アモルファスシリコン層
- 30…タングステンシリサイド層
- 32…CVD酸化膜
- 34…サイドウォール酸化膜
- 36…多結晶シリコン層
- 38…エミッタ層
- 40…CVD酸化膜
- 42…コレクタ電極
- 44…エミッタ電極
- 46…ベース電極
- 48…抵抗電極
- 50、52、54、56、58…開口部

【図1】



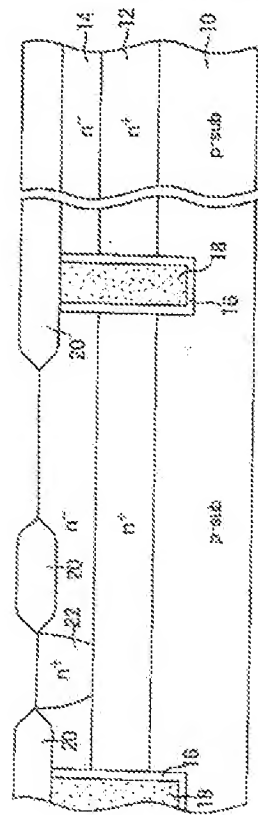
【図2】

本発明の一実施例に係る半導体装置の平面図



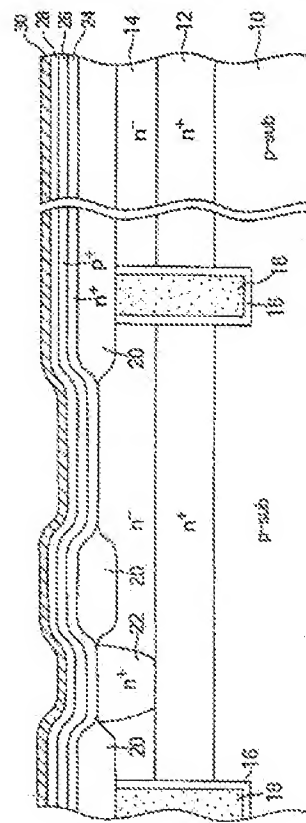
【図3】

本発明の一実施例による半導体装置の製造方法の工程図(その1)



【図4】

本発明の一実施例による半導体装置の製造方法の工程図(その2)



【図5】

本発明の一実施例による半導体装置の製造方法の工程図(その3)

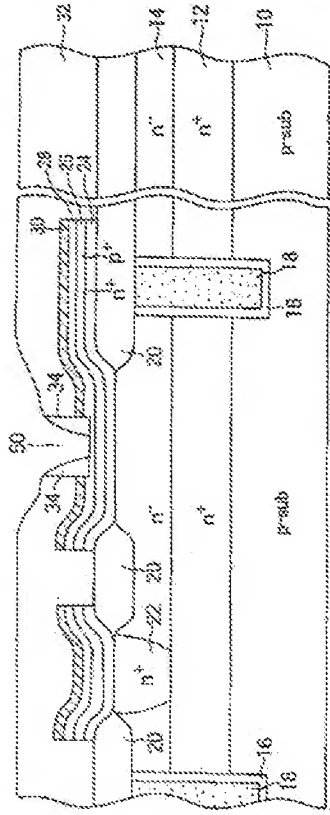
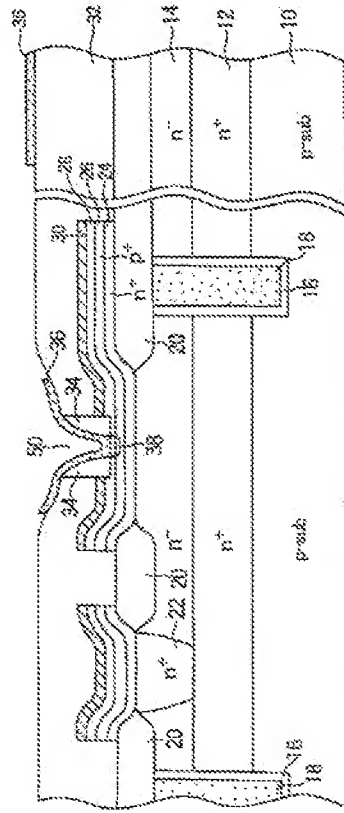


図5: 開口部

【図6】

本発明の一実施例による半導体装置の製造方法の工程図(その4)



【図 7】

本発明の一実施例による半導体装置の製造方法の工程図(その5)

